

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

## Patent Abstracts of Japan

PUBLICATION NUMBER : 60140732  
PUBLICATION DATE : 25-07-85

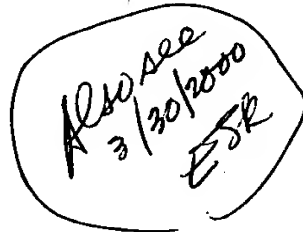
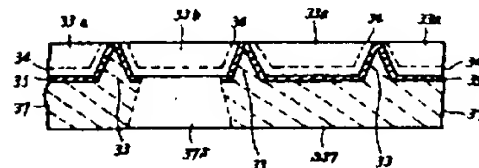
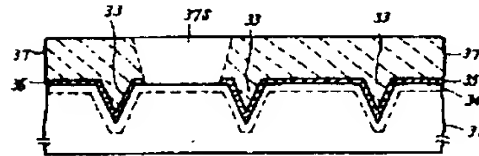
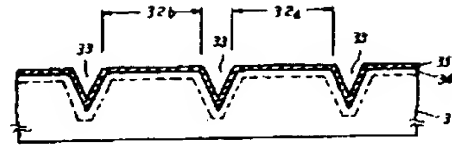
APPLICATION DATE : 27-12-83  
APPLICATION NUMBER : 58249353

APPLICANT : FUJITSU LTD;

INVENTOR : TANAKA HIROKAZU;

INT.CL : H01L 21/76

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



**ABSTRACT :** **PURPOSE:** To eliminate signal leakage between circuits during the high-frequency operation of the titled device, by constituting an IC having a dielectric isolation structure such that a support substrate with electric conductivity is provided on its surface with a plurality of first single crystal semiconductor island regions separated from each other by dielectric layers and with a second single crystal island region whose bottom is low-resistance contacted with the substrate so that the substrate is applied with a potential through the second region.

**CONSTITUTION:** An N type Si substrate 31 to be a collector is provided on its uppermost layer with V-shaped grooves 33 for defining regions 32a and 32b on which elements are to be formed, the grooves being formed by anisotropic etching. Impurity ions are implanted to form an N<sup>+</sup> type implantation layer 34 for reducing the collector resistance. An SiO<sub>2</sub> film 35 is then adhered over the whole surface including the side walls of the grooves 33. After the film 35 on the region 32a only is removed, an N<sup>+</sup> type polycrystalline Si layer 37 is grown on the whole surface of the film 35, while, on the region 32a, a polycrystalline Si layer 37S is grown directly on the substrate 31 without interposition of the film 35 so as to be low-resistance contacted with the substrate. The substrate 31 is then turned upside down, and P type base and emitter regions are provided on the Si layers 33a having an island shape isolated by the film 35 and on the island-shaped Si layer 33b without the interposition of the film 35, respectively.

**COPYRIGHT:** (C) JPO

**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭60-140732

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月25日

H 01 L 21/76

D-8122-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 昭58-249353

⑱ 出 願 昭58(1983)12月27日

⑲ 発 明 者 石 川 保 川崎市中原区上小田中1015番地 富士通株式会社内  
⑲ 発 明 者 田 中 裕 計 川崎市中原区上小田中1015番地 富士通株式会社内  
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

導電性を有する支持基板の表面部に、誘電体層で分離された複数の第1の単結晶半導体島状領域と、少なくとも一つの底面に於て該支持基板に接触して形成する第2の単結晶半導体島状領域が配設され、該第2の単結晶半導体島状領域を介して該支持基板に表面部から電位が与えられてなることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体集積回路装置に係り、特に高集積度分離構造の半導体集積回路装置に関する。

(b) 技術的背景

半導体集積回路装置を構成する際の素子間分離構造の一つに絶縁体分離構造がある。この構造は素子間が完全に誘電体(絶縁物質)によって分離されているので、通常用いられているp-n構造

分離構造に比べて高い分離電圧が得られ、且つラッチアップ現象等素子間での寄生効率が起きにくいという利点を有し、半導体集積回路装置の高集積化に対して有利な構造として注目されている。

(c) 従来技術と問題点

第1図(イ)乃至(ハ)は模式工程断面図である。

従来誘電体分離構造は、第1図(イ)に示すように所定の導電性を有する単結晶シリコン(Si)基板1の表面に素子形成領域を画定するV字形溝(V溝)2を形成し(この溝はU字形にする場合もある)、該V溝2の内面を含む該単結晶Si基板1の表面に誘電体である二酸化シリコン(SiO<sub>2</sub>)膜3を形成した後、第1図(ロ)に示すようにV溝2内を含む該基板上に支持基板となる高比抵抗の多結晶Si層4を厚く気相成長させ、しかる後第1図(ハ)に反転した状態で示すように、単結晶Si基板1を背面から前記V溝2先端部のSiO<sub>2</sub>膜3が露出するまで平面研磨する方法によって形成されていた。同図に於て1a、1b、1cは単結晶Si基板1が上記平面研磨によって分割されてなる単結晶Si島状領域、SSは前記多結

品S1層よりなる支持基板を示す。

そのため従来の誘電体分離基板に於ては、支持基板SSの上全面域に形成する第1の単結晶S1層状領域1a、1b、1c等が完全に支持基板SSと絶縁されており、誘電体分離基板の表面部から支持基板に電位を与えることができないので、支持基板SSは単結晶S1層状領域1a、1b、1c等と形成される。半導体素子に対して電気的に完全に浮いた状態になっていた。

そしてこのような従来構造に於ても取扱われる信号の周波数が低い場合には半導体集積回路装置に於て性能低下はもたらさなかったが、近時高周波信号が取扱われるようになると及び、支持基板が電気的に浮いていることによって該支持基板を介して素子間に形成される寄生抵抗と寄生容量による結合効果が増大になり、そのため他回路への結合の漏洩を生じ、半導体集積回路の性能が低下するという問題があらわれて来ている。

#### (d) 発明の目的

本発明は上記問題点を鑑み、誘電体分離構造の

半導体集積回路装置の高周波動作時に於ける回路間の結合を低減させる目的でなされたものであり、この目的は下記図面によって本発明によって達成される。

#### (e) 発明の構成

即ち本発明は半導体集積回路装置に於て、導電性を有する支持基板の表面部に誘電体層で分離された複数の第1の単結晶半導体結晶領域と、少なくとも一つの底面に於て該支持基板に電気的に接続する第2の単結晶半導体結晶領域が形成され、該第2の単結晶半導体結晶領域を介して該支持基板に電位部から電位が与えられてなることを特徴とする。

#### (f) 発明の実施例

以下本発明の半導体集積回路装置(10)を、一実施例について、第2図に模式的に示す上面図(イ)、A-A断面図(ロ)、B-B断面図(ハ)、C-C断面図(ニ)、及び第3図(1)乃至(ニ)に示す幾何工率断面図を用いて説明する。

第2図は本発明の一実施例に係る誘電体分離構造

造のバイポーラ10の構造を模式的に示す上面図(イ)とそのA-A断面図(ロ)、B-B断面図(ハ)及びC-C断面図(ニ)である。断面図に於て、11はn型多結晶Si支持基板、11sは該支持基板が単結晶化されている領域、12はSiO<sub>2</sub>絶縁(誘電体)膜、13は第1のn型単結晶Si層状領域、14は第2のn型単結晶Si層状領域、15はn<sup>+</sup>型領域、16はp型ベース領域、17はn<sup>+</sup>型エミッタ領域、18はn<sup>+</sup>型コレクタ・コンタクト領域、19はn<sup>+</sup>型基座コンタクト領域、20は表面絶縁膜、21は電極コンタクト窓、22はベース電極、23はエミッタ電極、24はコレクタ電極、25は基座電極を示している。

この図のように本発明の構造に於ては、導電性を有する支持基板例えばn<sup>+</sup>型多結晶Si支持基板11の表面部にSiO<sub>2</sub>絶縁(誘電体)膜12で支持基板11から完全に分離された第1のn型単結晶Si層状領域13が従来同様に多数個形成され、一部に、少なくとも底面にSiO<sub>2</sub>絶縁(誘電体)膜が形成されない領域を有し、該領域でn<sup>+</sup>

型多結晶Si支持基板11と直接に接し、該支持基板11としくは該支持基板が単結晶化されている領域11sと<sup>13</sup>電気的に(オーミック)接続する第2のn型単結晶Si層状領域14が複数形成される。そして該第2のn型単結晶Si層状領域14上に例えば抵抗性接続を完全にするためのn<sup>+</sup>型基座コンタクト領域19を介して例えばアルミニウム(Al)等よりなる基座電極25が形成され、該電極25からn<sup>+</sup>型基座コンタクト領域19、第2のn型Si層状領域14を介してn<sup>+</sup>型多結晶Si支持基板11に接地電位等の所定の電位が与えられる。なお上記n<sup>+</sup>型基座コンタクト領域19はn<sup>+</sup>型エミッタ領域17及びn<sup>+</sup>型コレクタ・コンタクト領域18と同時に形成される。なおn<sup>+</sup>型領域15は第1のn型単結晶Si層状領域13と形成されるバイポーラトランジスタのコレクタ抵抗を減少させるために形成されるもので、第2のn型単結晶Si層状領域14内にも同時に形成されるが、この領域としてはこの層15は特になくともさしつかえない。

次に第3図(イ)乃至(ニ)に示す工程断面図を参照して上記実施例に用いた誘電体分離基板の製造方法を説明し、本発明の効果を更に明確にする。

#### 第3図(イ)参照

上記誘電体分離基板を形成するには、先ず所定の不純物濃度を有する例えばn型単結晶Si基板31の表面に例えば水酸化カリウム(KOH)等を用いる異方性エッチング手法で異形形成領域32a及び32bの周囲を規定する所定の深さのV字形成(V溝)33を形成し、次いでイオン注入手法によりn型不純物を導入してコレクタ抵抗を下げるための所定濃度のn+型領域34を形成し、次いで通常の酸化手法でV溝33の内面を含む該基板31の表面に、例えば厚さ1~2( $\mu$ m)程度の誘電体膜即ちSiO<sub>2</sub>絶縁膜35を形成する。

#### 第3図(ロ)参照

次いで通常のリソグラフィ技術を用い、支持基板上に対するコンタクト部を形成しようとする一箇の素子形成領域32b上面のSiO<sub>2</sub>絶縁膜35

を選択的に除去する。なおこの際該素子形成領域32bの上面の一部にSiO<sub>2</sub>絶縁膜35が残留してもしつかえない。図中36はレジスト・マスクを示す。

#### 第3図(ハ)参照

次いでレジスト・マスク36を除去した後、フォスフィン(PH<sub>3</sub>)とモノシラン(SiH<sub>4</sub>)の混合ガスを用いる通常の気相成長法により該基板上に例えば厚さ約100( $\mu$ m)程度の低シート抵抗を有するn+型多結晶Si膜37を形成する。なおここでSiO<sub>2</sub>絶縁膜35上に成長するSi膜は多結晶となるが、膜にSiO<sub>2</sub>絶縁膜35が除去された素子形成領域32b上に単結晶Si膜31に直接接して成長するSi膜は単結晶Si膜37となりより低抵抗になる。これにより単結晶Si基板31と多結晶Si膜37とのコンタクト抵抗を減ずる効果を生ずる。

#### 第3図(ニ)参照

次いで前述の単結晶Si基板31の背面をV溝33先端部のSiO<sub>2</sub>絶縁膜35が突出するま

で平面研削して、単結晶Si基板31を所定の単結晶Si膜状領域31a及び31bに分離する。なお第3図(ニ)は上記工程を終った該基板を反転した状態を示している。図に示されたように、この段階で厚いn+型多結晶Si膜(一部に前記単結晶Si膜とになっている領域37aを含む)37は第2図11に対応する導電性支持基板S<sub>1</sub>となる。そしてn+型多結晶Si膜よりなる導電性支持基板S<sub>1</sub>の上面部に、SiO<sub>2</sub>絶縁(誘電体)膜35によって底面及び側面が完全に分離された多結晶の第1のn型単結晶Si膜状領域33a(第2図13に対応)が露出され、且つ一部に側面がSiO<sub>2</sub>絶縁膜35によって分離された少なくとも一面の一部が導電性支持基板S<sub>1</sub>に直接接し且つ抵抗性接合する第2のn型単結晶Si膜状領域33b(第2図14に対応)が露出された構造の誘電体分離基板が完成する。

以後図示しないが、誘電体分離基板を用い、通常の手法に従って第1のn型単結晶Si膜状領域33a内に選択的にp型ベース領域を形成し、

次いで該基板上に表面絶縁膜を形成し、次いで該表面絶縁膜にベース・コンタクト窓、エミッタ・コンタクト窓、コレクタ・コンタクト窓、及びコンタクト窓を形成し、次いでベース・コンタクト窓をマスクし、他のコンタクト窓にそれぞれn型不純物を導入して第1のn型単結晶Si膜状領域33a内にn+型コレクタ・コンタクト領域を、p型ベース領域内にn+型エミッタ領域を、第2のn型単結晶Si膜状領域にn+型コレクタ・コンタクト領域をそれぞれ同時に形成する。次いで通常の手法により表面絶縁膜上に、前記ベース・コンタクト窓部に於てp型ベース領域に接するベース電極、エミッタ・コンタクト窓部に於てn+型エミッタ領域に接するエミッタ電極、コレクタ・コンタクト窓部に於てn+型コレクタ・コンタクト領域に接するコレクタ電極、及び基体コンタクト窓部に於てn+型基体コンタクト領域に接し且つn+型基体コンタクト領域、n型単結晶領域を介して導電性支持基板に電気的接合する基体電極を形成し、第2図に示した誘電体分離構造のハイボラ

1Cが完成する。そして該本発明の構造に於ては前記基板電位から導電性支持基盤に対して所定の基板電位が印加される。

なお導電性支持基盤の材料は上記実施例に示したシリコンに限られるものではなく、気相成長することができ、高融点を有し且つ低比抵抗が得られる高融点金属若しくはその結化物等でも良い。

#### (g) 発明の効果

以上説明したように本発明によれば、誘電体分離構造の半導体集積回路装置が導電性を有する支持基盤上に形成され、且つ該導電性支持基盤が容易に該半導体集積回路装置の表面側に電気的に導出され、該半導体集積回路装置の表面側から該導電性支持基盤に所定の基板電位を与えることが可能になる。

従って本発明によれば、高周波動作時に於ける各半導体素子からの漏れ電流が該導電性支持基盤内に吸収されるので信号の漏洩が防止され、該半導体集積回路装置の高周波特性は向上する。

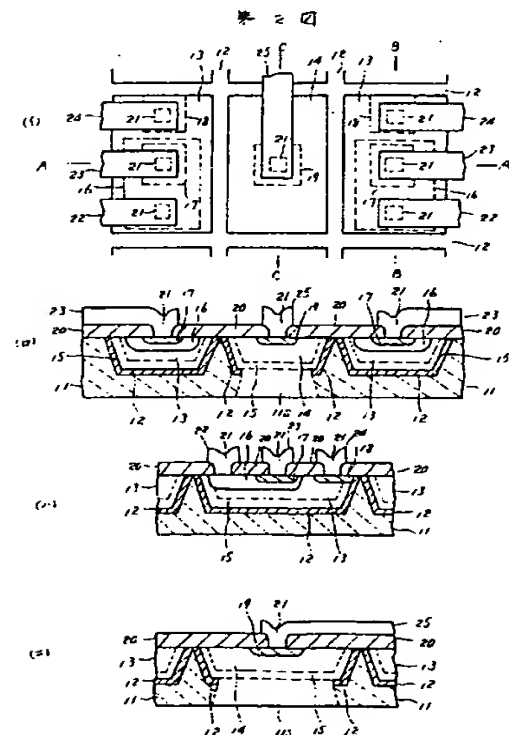
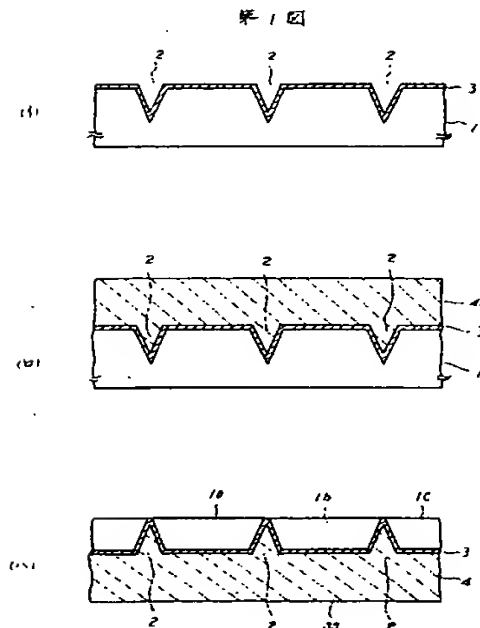
なお本発明はMIS半導体集積回路装置に於

て適用される。

#### 4. 図面の簡単な説明

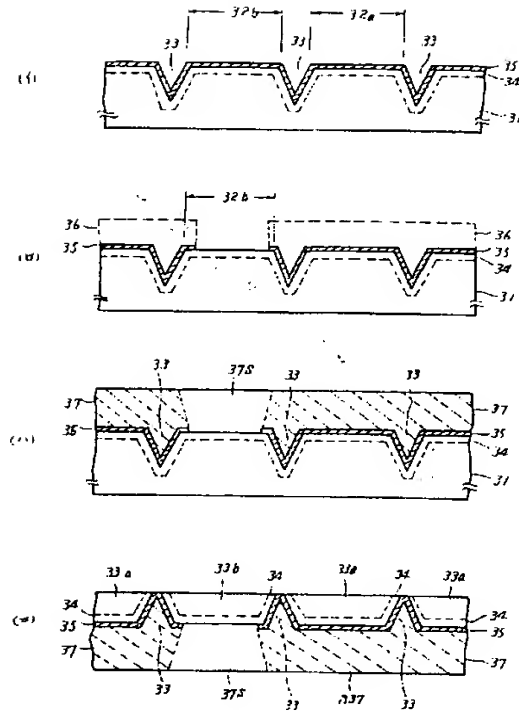
第1図(イ)乃至(ハ)は従来の誘電体分離構造の製造方法を示す工程断面図、第2図は本発明の誘電体分離型半導体集積回路装置に於ける一実施例を示す上面図(イ)、A-A断面図(ロ)、B-B断面図(ハ)及びC-C断面図(ニ)で、第3図(イ)乃至(ニ)は上記実施例に於ける誘電体分離構造の一製造方法を示す工程断面図である。

次に於て、11はn<sup>+</sup>型多結晶シリコン支持基板、12は二酸化シリコン絶縁(誘電体)膜、13は第1のn型単結晶シリコン島状領域、14は第2のn型単結晶シリコン島状領域、15はn<sup>+</sup>型領域、16はp型ベース領域、17はn<sup>+</sup>型エミッタ領域、18はn<sup>+</sup>型コレクタ・コンタクト領域、19はn<sup>+</sup>型基板コンタクト領域、20は表面絶縁膜、21は電極コンタクト窓、22はベース電極、23はエミッタ電極、24はコレクタ電極、25は漏れ電極を示す。





第 3 図



**THIS PAGE BLANK (08970)**